

# Maskinarkitektur, G3

Daniel Bejder, Anders Bjerg Pedersen  
Hold 2

13. december 2006

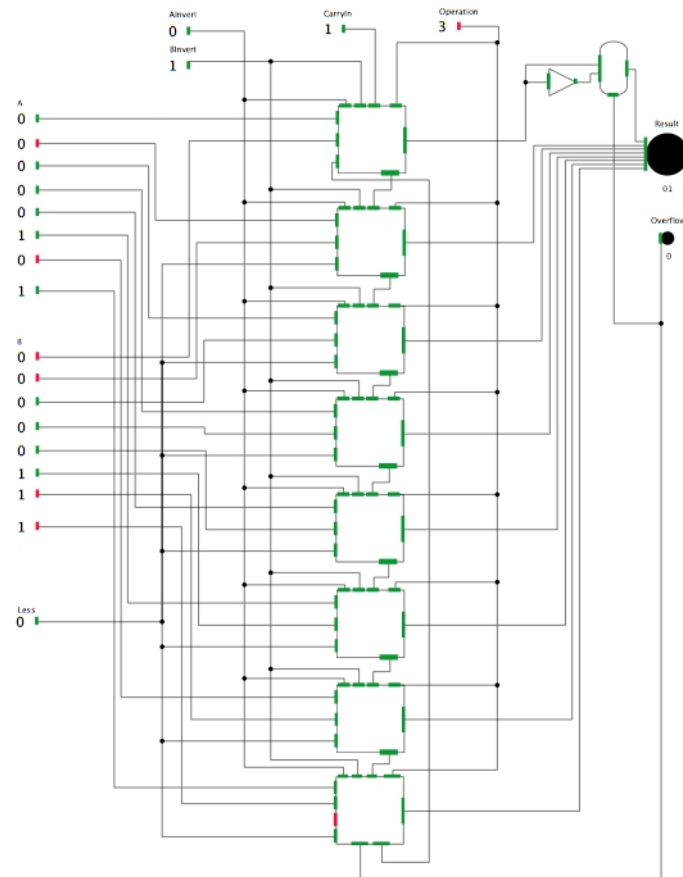
## Kort om projektet

Med udgangspunkt i bogens figur B.5.10 har vi konstrueret en 8-bit ALU, der understøtter ADD, SUB, AND, OR og SLT. Vi har lavet vores ALU ud fra 7 ens 1-bit ALU'er plus en ottende, der undersøger fejl i forbindelse med SLT-operationen. Vi har fundet de 2 forskellige tilfælde hvor der kan ske fejl i SLT i forbindelse med overflow.

	<i>A</i>	<i>B</i>	<i>Sum</i>
Type 1	1	0	0
Type 2	0	1	1

Når A er negativ ( signbit 1 ) og B er positiv er A altid mindst så Sum 0 vil være en fejl. Ligesom A positiv og B negativ med Sum 1 vil være en fejl. Dette retter vi ved at sende et overflow signal der flipper bit 1 i Result hvis en af disse situationer forekommer. Når A og B har samme fortegn kan der ikke ske overflow i forbindelse med subtract som vi bruger i SLT.

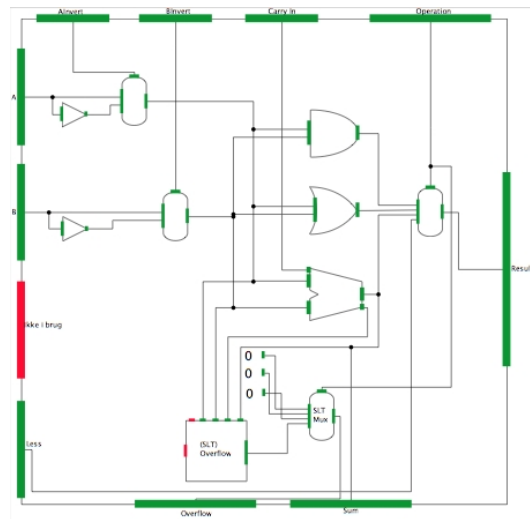
Figur over 8-bit ALU



Figur 1: Figur over 8-bit ALU

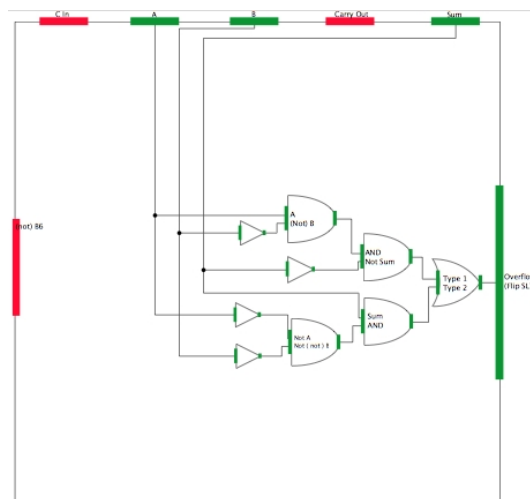
## Figur over 1-bit SLT ALU

Vi har ikke medtaget en figur af de 7 første almindelige ALU'er, da de er de samme, blot uden overflow-detektoren.  
SLT Mux er indsat, da vi kun ønsker at fejltjekke under SLT-operationen, ikke de andre (AND, OR, ADD, SUB).



Figur 2: Figur over 1-bit SLT ALU

## Figur over OverflowDetector i 1-bit SLT ALU



Figur 3: Figur over Overflow Detector for SLT